

PAT-NO: JP360160645A

DOCUMENT-IDENTIFIER: JP 60160645 A

TITLE: LAMINATED SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE

PUBN-DATE: August 22, 1985

INVENTOR-INFORMATION:

NAME

KETSUSAKO, MITSUNORI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP59015191

APPL-DATE: February 1, 1984

INT-CL (IPC): H01L025/04

US-CL-CURRENT: 257/774, 257/E23.011 , 257/E23.019

ABSTRACT:

PURPOSE: To obtain a through-hole construction which can expect a stable and high process yield by making a construction wherein a through-hole is provided in a semiconductor substrate, the aperture of the hole on one main surface is larger than the aperture of the hole on the other main surface, the internal wall of the hole is covered with an insulation film and at least a part of the insulation film covering the internal wall is covered with a conductor.

CONSTITUTION: On the surface of a semiconductor substrate 40, a group of elements has been formed by selective doping, etc. A through-hole is provided

in a part of the substrate and the through-hole consists of a smaller hole 41 and a larger hole 42. The internal surface of the through-hole is covered with a comparatively thick insulation film 43 such as an oxidized film, a conductive layer 44 formed in the through-hole and the semiconductor substrate 40 are electrically insulated and simultaneously, the parasitic capacity is reduced. The conductive layer in the through-hole is extended at the boundary of the smaller hole 41 and the larger hole 42, is formed a bonding pad 45 for the bottom surface of a chip and on it, a downward solder bump 46 is formed. The conductive layer 44 in the through-hole is connected to a bonding pad 48 against the upper surface of pitch through a multilayer wiring layer 47 at the side of the surface where the group of element is formed.

COPYRIGHT: (C)1985,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭60-160645

⑫ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)8月22日

H 01 L 25/04

7638-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 積層半導体集積回路装置

⑮ 特 願 昭59-15191

⑯ 出 願 昭59(1984)2月1日

⑰ 発 明 者 藤 迫 光 紀 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 高橋 明夫 外1名

# 明 細 書

発明の名称 積層半導体集積回路装置

## 特許請求の範囲

1. 半導体基板と複数積層して成る集積回路において、該半導体基板には一主面の開口部が他の主面の開口部よりも大きな装填貫通孔が設けられており、該貫通孔は内壁が絶縁膜で覆われ、かつ該内壁被覆絶縁膜の少なくとも一部が導電体で覆われた構造を有することを特徴とする積層半導体集積回路装置。
2. 絶縁膜で内壁が覆われた貫通孔の少なくとも一部が導電体で充填された構造を有する特許請求範囲第1項記載の積層半導体回路装置。

## 発明の詳細な説明

### 〔発明の利用分野〕

本発明は半導体集積回路チップを積層して成る半導体集積回路の構造に係る。

### 〔発明の背景〕

電子計算機のような高度の電子回路システムは従来高密度集積回路(LSI)のパッケージを単

位とし、これを多数プリント配線基板上に配列し、さらにプリント基板を複数接続させる実装法により構成されていた。さらに進んだシステムでは、第1図に例示するような複チップモジュールを構成し、配線長を短縮して集積度の向上を図るとともに配線遅延を減少して高速化が図られていた。第1図に示す複チップモジュールでは、各LSIチップ11, 11', 11''は素子の形成された層12を下向きにし、チップの周縁部に設けられたボンディングパッド13を、多層配線セラミツク基板14の上に設けられたボンディングパッド15に対向させ、公知のフエースダウンボンディング技術により接続されている。

この複チップモジュールでは、ボンディングのための金属細線は不要であり、各チップは半田により多層配線基板に固定され、実装密度、システムの信頼性等、多くの利点がある。

しかし、これら従来の実装法では、完成したLSIチップより出発しており、ボンディングパッドは各チップの周縁部のみに設けられ、チップ

間の接続は一旦多層配線基板を介して行なわれていたため、配線長の短縮にも限界があった。すなわちこの方式では、チップを平面的に配列して得られる配線長よりも短い距離でチップ間の信号伝達を行なうことはできなかった。

チップを平面的に配列して得られる配線長よりも短い距離でチップ間の信号伝達を行わしめる方式として第2図に例示するチップ積層形集積技術がある。この例では、LSIチップ21、21'、21''等の片面に、素子群の形成された層22、22'、22''等が設けられ、素子層22の上に設けられたボンディングパッド23と、チップ21'の裏面に設けられたボンディングパッド24とが接続され、順次このような形でチップが積層・接続されて、基板25にマウントされている。

このような構成で積層形集積回路を形成するためには、チップの表裏間を信号伝達するための構造が必要であり、従来は第3図に例示する断面図の如き構造をとっていた。第3図はチップ相互の

接続を行なう前の個別チップの断面を示すものである。チップを構成する半導体基板31、31'の各々の表面には選択ドーピングにより素子群が設けられ、一部にはチップ貫通孔32、32'等が設けられている。貫通孔32、32'の表面は酸化膜等による絶縁膜33、33'が設けられ、さらにその上部に設けられる導電性被膜34、34'と基板31、31'とを電気的に分離している。配線層の上にはチップ間の相互接続するために用いられる半田パンプ35、35'が形成されており、下層チップのパンプ35'は上層チップの開口部から延在するボンディングパッド34に正対している。この例に示される半田パンプの大きさは20 $\mu$ m程度であり、これは、多層配線の施されたチップに存在する表面の凹凸およびチップの反りよりも大きく、半田溶解時にチップ上の全パンプがそれぞれ対向するボンディングパッドに接触した状態が実現する様配慮されている。また、熱圧接による半田溶解時に、半田がボンディングパッドからの押し出しによつて接触するこ

とがないように、貫通孔の容積は半田パンプの体積よりも大となる様に工夫されていた。

しかしながら、例示した構造では、貫通孔の内容積を大きくとるために、例えば50 $\mu$ m厚さの半導体基板の場合には10 $\mu$ m以上の径の貫通孔を形成する必要があり、集積度の向上を阻害していた。また半田パンプが半導体基板の片面にのみ形成されるため、対向するボンディングパッドの表面状態によつては、熱圧着時の接続に不良が生ずることがあり、信頼性に若干の問題を有していた。

#### 〔発明の目的〕

本発明は、チップ積層集積を実現するかかる半導体素子の構造をさらに改良し、確実なチップ接続と高集積化チップへの適用を可能にせしめる手段を提供することを目的とする。

#### 〔発明の概要〕

本発明は、チップ相互の接続を確実にかつ自己整合的に行なうために、対向するボンディングパッドの両方に半田パンプを設け、かつパンプの横

漏れを防止するために、貫通孔に関しチップの裏面側に裏面側よりも大きな開口部を設けた構造とすることを特徴とする。かかる構造により、貫通孔の表面側の開口部を必要最小限に小さくでき、基板表面の能動素子領域が拡大すると共により高集積なLSIがチップ集積に適用できる方法が提供できる。

#### 〔発明の実施例〕

以下、実施例に基づき本発明を説明する。第4図は本発明の一実施例を成すLSIチップの断面構造図である。

半導体基板40の表面には選択ドーピング等により素子群が形成されている。基板の一部には貫通孔が設けられ、その貫通孔は細部41、及び太部42より構成される。貫通孔の内面は酸化膜等の比較的厚い被膜43で覆われ、貫通孔内部に形成される導電体層44と半導体基板40との間の電気的絶縁を図り、同時に寄生容量を低減している。貫通孔内部の導電体層は貫通孔細部41と貫通孔太部42の境界部で広がり、チップ下面に

対するボンディングパッド45を形成し、その上部に下向きの半田パンプ46が形成される。貫通孔内導電体層44は素子群形成面側で多層配線層47を介してチップ上面に対するボンディングパッド48に接続され、該ボンディングパッド48には上向きの半田パンプが形成される。第4図に示す、C、Dは、素子のゲートに信号を伝えるための多層配線層内の導体部分を指示している。第4図の例では、貫通孔配線は上部の半田パンプ49と下部の半田パンプ46を接続し、かつ、素子の一出力に接続された形となつてゐるが、勿論このような構成に限定されるものではなく、多層配線層47を介して任意の入出力が上下の半田パンプに接続できることは言うまでもない。

第4図では、1つの貫通孔及び1組の上下半田パンプについて示したが、本発明ではこれらの貫通孔およびパンプが多数形成されて成る。

第5図に本発明によつて提供される集積回路チップを複数個積層した場合の部分断面図を示す。ここでは貫通孔細部と分離用絶縁膜は省略してあ

る。貫通孔を介して上下に形成された半田パンプを有する集積回路チップ51、51'、51"、51'''等を重ね、半田の融点以上の温度に保つことによつて接続部で互に対向する半田パンプは容易に融着し、融着部52、52'等の断面形状が図示するように凹状となるようボンディングパンプの大きさ、半田パンプの体積及び貫通孔太部の深さ等を調節すれば、表面張力が有効に働き、半田パンプの大きさ以内の位置合わせのずれを吸収して自己整合的に集積回路チップが再配列する。この効果はチップ内のパンプ数が多い程大きいことが認められている。冷却により再固化した融着部により、集積回路チップが相互に物理的に接続されると共に、信号伝達のための電氣的接続がなされる。電氣的接続は融着部および貫通孔部導体を介して上下の集積回路チップが同一電位になるようになされる場合もあれば、多層配線層53、53'等を介して他の融着部に接続される場合もあり、また単に物理的接続だけの場合も有り得る。融着一体化された集積回路チップ群はさらに多層

配線基板54に接続され、さらに外部への信号取出し等がこの多層配線基板を介してなされる。第5図の例は簡略にするため集積回路チップの表面1組の半田パンプに着目して図示してあるが、実際にはこの様なパンプが集積回路チップに多数形成されている。

ここで、前記第4図に示した如き構造を形成する製造工程の一例を第6図にて説明する。

この例では貫通孔形成を2段階に分けて行なつており、第1段階は工程の初期のデバイス層形成前、第2段階はデバイス層の形成以降である。この工程を第6図(イ)から順に説明すると、先ず、S1ウエーハ600上に例えばS1O<sub>2</sub>の如きS1のドライエッチ用マスク材601を形成し、将来貫通孔となる部分を開口する。次いで(ロ)に示すようにこの部分のS1を公知のドライエッチング技術によりほぼ垂直な壁面が形成される概約5〜15μm程度の穴602を形成する。次いで(ハ)に示すようにS1、N<sub>2</sub>の薄膜603を方向性被着により形成し、選択酸化により側壁部のみ

酸化膜604を成長させる。このS1O<sub>2</sub>膜604は将来貫通孔の絶縁材となるものである。次に(ニ)に示すよう気相化学堆積(CVD)法により高濃度にドーブした多結晶S1605を形成し、貫通孔を埋め戻すと共に平坦化膜を形成する。これにはCVDを複数回繰り返し、必要があれば平坦化スパッタ処理を施す。通常穴径が1μm程度の場合にはスパッタ処理は不要である。次いで(ホ)に示すように多結晶S1を貫通孔を含む領域を残してエッチング除去する。この状態は通常の集積回路(LSI)を形成する初期状態と同じであり、S1、N<sub>2</sub>マスク603を適宜パターンニングすることにより、従来のLSI製造工程に従つて(ハ)に点線で図つて示す多層配線層を含む素子層を形成することができる。なお必要があれば(ホ)の状態ですらにS1、N<sub>2</sub>層を形成することにより、酸化速度の差による多結晶層の減少を避けることもできる。

ここまでは従来のLSIプロセスで用いられてきた厚さ約500μmのS1ウエーハを用いて処

理される。次いで、下半分の貫通孔を形成すると共に積層厚みを減少させるために全体の厚さを削減し(ト)の如き状態とする。このときの厚さはデバイス層形成によつて発生する反りが後の工程に支障がない、例えば50 $\mu$ m程度で良い。また、要すれば周縁部のみを厚い状態で残し、中央部のみを薄膜化する手法も用いることができる。前者の場合には機械的研磨により形成することができるが、後者の場合ではエッチングあるいはイオンシリング等を併用する必要があるが、パンプの形成時には周縁部が厚いまま残っている方が、作業性は良い。しかしこの選択は本発明に関しては本質的でない。

次いで、裏面にエッチング用マスク材(図示せず)、例えばSiO<sub>2</sub>あるいはAl等、を被着し表面のボンディングパッド位置に合わせて、裏面に開口部を設け、前述のドライエッチによりシリコン層をエッチングし、(チ)に示すように、貫通孔細部の底部が露出する様に、貫通孔太部607を形成する。この貫通孔太部径は、貫通孔

間隔の1/2以下であるが、実用上は30~50 $\mu$ mで深さと同程度で良い。さらに貫通孔細部の底部に残っているSi、N<sub>2</sub>膜も除去して、貫通孔細部に充填されている多結晶Siを露出させる。次いで(リ)に示すようにウエーハ裏面にCVD SiO<sub>2</sub>を被着し、貫通孔細部の底部をホトリソグラフィで除去し、表面とのコンタクト孔609を設ける。なおこのコンタクト孔609は大きな段差の底部に形成するため、通常のレジスト法による光学的リソグラフィでは困難であるが集束イオンビームを用いれば容易に形成することができる。

次いで、ウエーハ裏面にボンディングパッドを形成する金属被膜を被着し、パターンニングにより(ヌ)に示すようにボンディングパッド610を形成する。

なお(ヘ)以降の工程は当然のことながら表面層に保護膜が形成された状態で行なう。表面のボンディングパッドは(ヘ)の段階で形成しても良いし、また(ヌ)の段階で形成しても差しつかえない。表裏面に形成されたボンディングパッドにメッキ法

等公知の技術により半田層を形成し、加熱によりパンプ611、611'を形成する。なお、半田パンプの形成はこの段階で行なわず、チップを積層した後に加熱して球状とし同時に融着処理をする方が、工程上都合が良いが、ここでは前に引用した例と形状を合わせるために例示してある。この最終形状(ヌ)は図4図と等価であり、これを基本単位としてチップ積層が行われる。

本発明はこのようなチップ積層のための基本的形状に関するもので、第4図に例示する形態には限定されないし、また第6図に例示した工程のみによつて形成されるものではない。これを示すために他の実施例を第7図に示す。この場合、基本的構造は第4図の実施例と同じであるが、工程の相違により、貫通孔太部71、71'等の断面形状が異なる。この場合には、貫通孔太部はウエーハ72の裏面にSiO<sub>2</sub>を被着して開口部を設けた後、公知のアルカリ性溶液による異方性エッチを施し、(111)結晶面で形成されるピラミッド状ピットを利用している。

#### 〔発明の効果〕

以上述べた如く、本発明によれば、チップ積層形集積回路の形成に際し、安定でかつ高度の工程歩留りの期待できる貫通孔構造を与えることができる。

なお、本発明ではSi半導体材料として例にとり説明したが、発明の主旨に従えば、材料はSiに限定されることはなく、GaAs等、III-V化合物半導体やII-IV化合物半導体等にも応用でき、これらの材料によるチップを複合した縦積素子にも適用できることは言うまでもない。

#### 図面の簡単な説明

第1図は従来のフリップチップボンディングを示す断面図、第2図はチップ積層集積の断面構造図、第3図は従来の貫通配線構造を有するチップの断面図、第4図は本発明の貫通配線構造を有するチップの一実施例の断面概念図、第5図は本発明の実施例によるチップを積層した場合の断面構造を示す概念図、第6図は本発明の実施例構造を形成するための工程を示す断面図、第7図は本

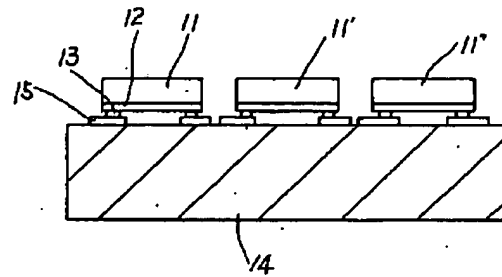
発明の他の実施例を示す断面構造図である。

40…基板シリコン、41…貫通孔の細部、42…貫通孔の太部、44…導電体、45、48…ボンディングパッド、46、49…半田バンプ、47…多層配線を含む素子層。

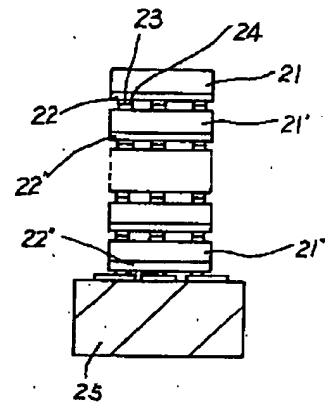
代理人 弁理士 高橋明



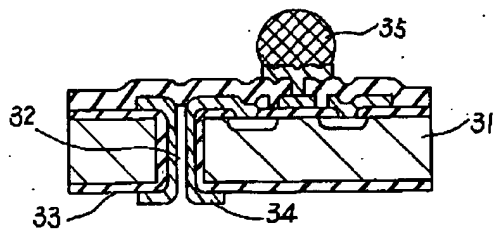
第 1 図



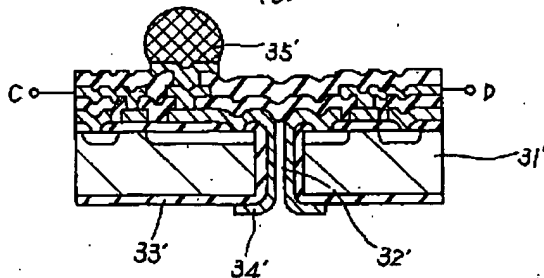
第 2 図



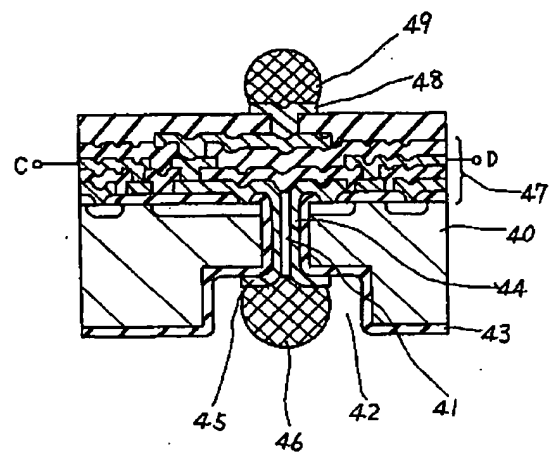
第 3 図  
(A)



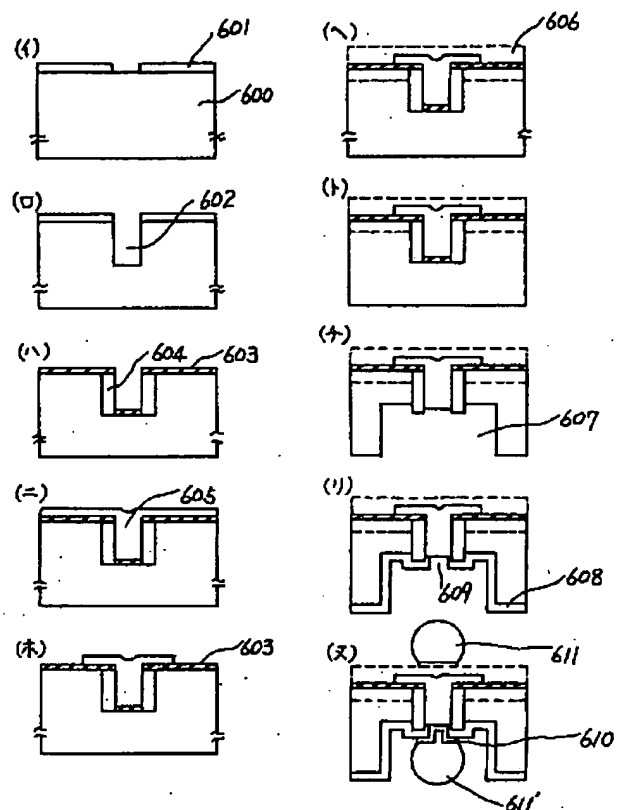
(B)



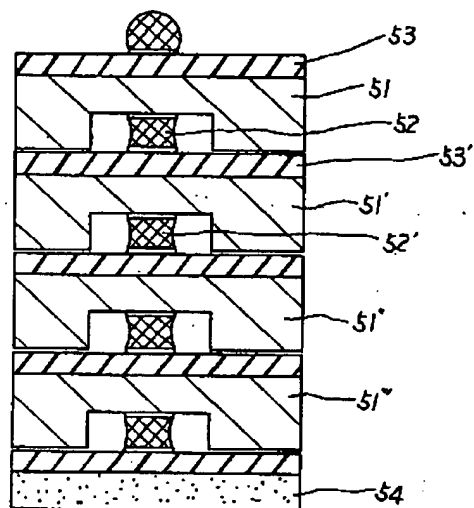
第 4 図



第 6 図



第 5 図



第 7 図

